



晶丰明源半导体

BP2636C

BOOST PFC 恒压驱动芯片

概述

BP2636C 是一款高效率、高 PF 值、低 THD 的升压型 PFC 恒压驱动芯片。芯片工作在电感电流临界连续模式，有助于优化 EMI 和效率。

BP2636C 通过 MOS 管栅极检测过零，无需辅助绕组。同时采用高压供电，内置环路补偿，内置 MOS 管，只需要很少的外围元件，即可实现优异的恒压特性，极大的节约了系统成本和体积。

BP2636C 具有多重保护功能，包括输出过压保护（OVP），MOS 过流保护，芯片温度过热调节等。

BP2636C 采用 SOP-8 封装，引脚排布最大化的优化了散热能力。

特点

- 全压范围内 $PF > 0.9$, $THD < 10\%$
- 单绕组电感，外围精简
- 内置 500V MOS 管
- 临界连续电流控制模式
- 高压快速启动
- $\pm 2\%$ 输出电压精度
- 内部集成保护功能：
 - 输出过压保护
 - MOS 过流保护
 - 芯片供电欠压保护
 - 芯片结温过热保护
- 采用 SOP-8 封装

应用

- BOOST APFC 恒压电路

典型应用

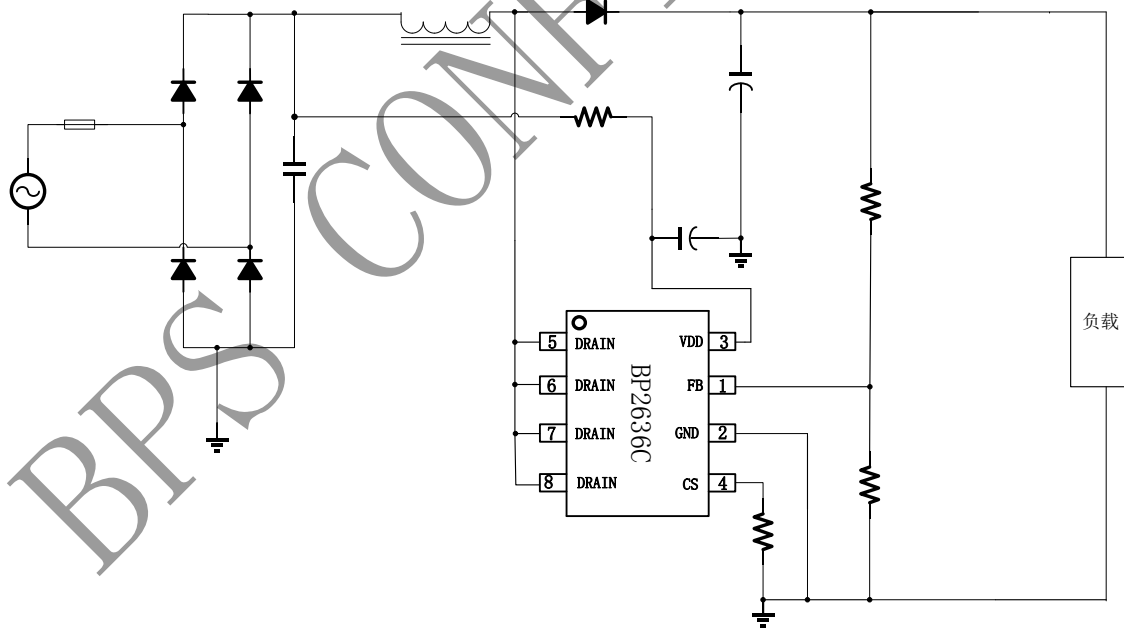


图 1 BP2636C 典型应用图



晶丰明源半导体

BP2636C

BOOST PFC 恒压驱动芯片

订购信息

订购型号	封装	环境温度范围	包装形式	打印
BP2636C	SOP8	-40 ℃到 105 ℃	编带 4,000 颗/盘	BP2636 XXXXXYZ XXYYWWC

管脚封装

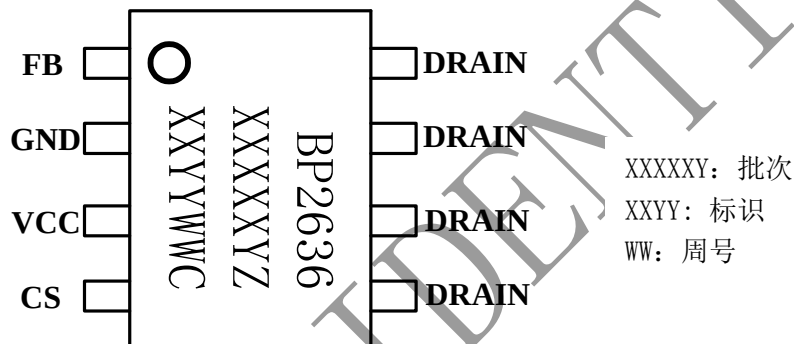


图 3 管脚封装图

管脚描述

管脚号	管脚名称	描述
1	FB	Boost 输出电压和过压保护设置脚
2	GND	芯片地
3	VCC	芯片供电脚
4	CS	Boost 开关管电流采样脚
5, 6, 7, 8	DRAIN	内置 MOS 漏极



晶丰明源半导体

BP2636C

BOOST PFC 恒压驱动芯片

极限参数(注 1)

符号	参数	参数范围	单位
VDD	芯片供电	-0.3~20	V
VDD _{CLAMP}	VDD内部钳位电压	15	V
CS	电流采样端	-0.3~6	V
FB	输出电压和过压保护信号采样端	-0.3~6	V
DRAIN	内置 MOS 漏极	-0.3~500	V
P _{DMAX}	功耗(注 2)	0.9	W
θ_{JA}	PN 结到环境的热阻	145	°C/W
T _J	工作结温范围	-40 to 150	°C
T _{STG}	储存温度范围	-55 to 150	°C

注 1: 最大极限值是指超出该工作范围, 芯片有可能损坏。推荐工作范围是指在该范围内, 器件功能正常, 但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数, 该规范不予保证其精度, 但其典型值合理反映了器件性能。

注 2: 温度升高最大功耗一定会减小, 这也是由 T_{JMAX} , θ_{JA} 和环境温度 T_A 所决定的。最大允许功耗为 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 或是极限范围给出的数字中比较低的那个值。



晶丰明源半导体

BP2636C

BOOST PFC 恒压驱动芯片

电气参数(注 4, 5) (无特别说明情况下, $V_{DD}=10V$, $T_A=25\text{ }^{\circ}\text{C}$)

符号	描述	条件	最小值	典型值	最大值	单位
电源电压						
V_{DD_CLAMP}	V_{DD} 钳位电压	$I_{CC}=1\text{mA}$		15		V
V_{DD_ON}	V_{DD} 启动电压	V_{DD} 上升	11	12.4	14	V
V_{DD_UVLO}	V_{DD} 欠压保护阈值	V_{DD} 下降	7	8	9	V
I_{OP}	静态工作电流			330		μA
电压控制						
V_{CS_LIM}	CS 限流电压			500		mV
V_{FB_REF}	FB 引脚基准电压		2.45	2.5	2.55	V
内部时间控制						
T_{OFF_MIN}	最小退磁时间			3		μs
T_{OFF_MAX2}	最大退磁时间	$FB>0.5V$		50		μs
T_{LEB}	前沿消隐时间			350		ns
T_{ON_MAX}	最大开通时间			35		μs
$T_{DET_BLANKING}$	退磁检测屏蔽时间			1.25		μs
开路保护						
V_{OVP_REF}	OVP 过压保护阈值			2.7		V
$V_{OVP_REL_REF}$	退出 OVP 阈值			2.575		V
内置 MOS						
R_{DS_ON}	内部驱动 MOS 导通阻抗			3		Ω
BVDSS	内置 MOS 击穿电压		500			V
过热调节						
T_{OTP}	过热调节温度			160		$^{\circ}\text{C}$
T_{OTP_HYS}	过温保护迟滞			15		$^{\circ}\text{C}$

注 4: 典型参数值为 25°C 下测得的参数标准。

注 5: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

内部结构框图

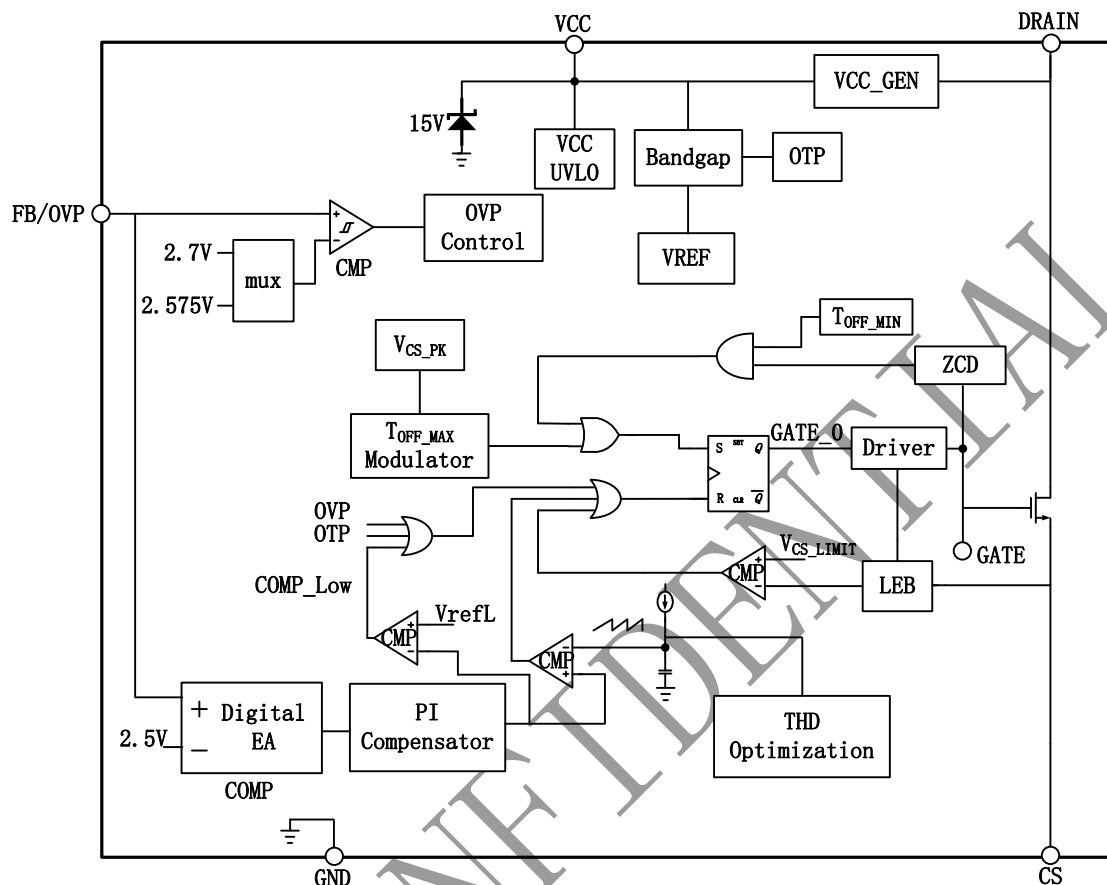


图 4 BP2636C 内部框图

应用信息

BP2636C 通过 MOS 管栅极检测过零，无需辅助绕组。同时采用高压供电，内置环路补偿，内置 MOS 管，只需要很少的外围元件，即可实现优异的恒压特性，极大的节约了系统成本和体积。

启动

系统上电后，母线电压通过内部高压 JFET 给 VDD 电容充电，当 VDD 电压达到芯片开启阈值时，芯片内部控制电路开始工作。BP2636C 内置 15V 稳压管，用于钳位 VDD 电压。为了降低芯片功耗，也可

以外加电阻从输入母线给 VCC 补电，减小 JFET 上流过的电流。

输出恒压&输出 OVP 设置

输出电压由 FB 直接采样控制，芯片通过调节导通时间将 FB 电压控制在 2.5V。输出过压保护(OVP)也由 FB 采样控制，当 FB 电压达到 2.7V 时，系统触发 OVP。

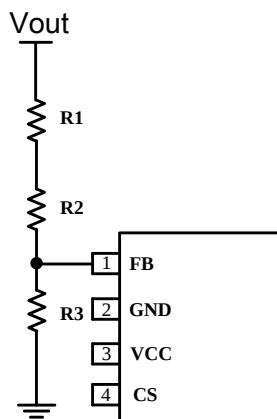


图 5 FB 引脚应用示意图

FB 引脚用来检测输出电压和输出过压保护 (OVP)，图 5 显示的是输出外围电路，输出电压内部比较器的阈值为 2.5V，OVP 阈值为 2.7V。FB 的上下分压电阻比例可以设置为：

$$V_{OUT} = \frac{R_1 + R_2 + R_3}{R_3} \times 2.5V$$

$$V_{OVP} = \frac{R_1 + R_2 + R_3}{R_3} \times 2.7V$$

其中，

R3 是反馈网络的下分压电阻；

R1 和 R2 是反馈网络的上分压电阻；

V_{OUT} 是输出电压；

V_{OVP} 是输出电压过压保护设定点；

为了提高系统效率，FB 下分压电阻可以设置在 5~10KΩ 左右。

峰值限流

芯片逐周期检测电感的峰值电流，CS 端连接到内部的峰值电流比较器的输入端，与内部阈值电压

进行比较，当 CS 电压达到内部检测阈值时，功率管关断。

电感峰值电流的计算公式为：

$$I_{PK} = \frac{500}{R_{CS}} (mA)$$

其中， R_{CS} 为电流采样电阻阻值。

CS 比较器的输出还包括一个 300ns 前沿消隐时间。

储能电感

BP2636C 工作在电感电流临界模式，当功率管导通时，流过储能电感的电流从零开始上升，导通时间为：

$$t_{on} = \frac{L \times I_{PK}}{V_{IN}}$$

其中，L 是电感量；

I_{PK} 是电感电流的峰值；

V_{IN} 是经整流后的母线电压。

芯片内部设定最大导通时间为 35us。

当功率管关断时，流过储能电感的电流从峰值开始往下降，当电感电流下降到零时，芯片内部逻辑再次将功率管开通。功率管的关断时间为：

$$t_{off} = \frac{L \times I_{PK}}{V_{OUT} - V_{IN}}$$

储能电感的计算公式为：

$$L = \frac{(V_{OUT} - V_{IN}) \times V_{IN}}{f \times I_{PK} \times V_{OUT}}$$

其中，f 为系统最小工作频率。BP2636C 的系统工作频率和输入电压呈正相关关系，一般情况下，设



晶丰明源半导体

BP2636C

BOOST PFC 恒压驱动芯片

置 BP2636C 系统工作频率时，选择在输入电压最低时设置系统的最低工作频率，而当输入电压最高时，系统的工作频率也最高。

保护功能

BP2636C 内置多种保护功能，包括输出过压保护（OVP），VDD 欠压保护，MOS 峰值限流保护，芯片过热保护等。

输出过压保护功能

当输出负载开路时，随着输出电压的上升，OVP 引脚电压同时上升，当 OVP 引脚电压达到 2.7V 时以上，会触发芯片过压保护逻辑并停止开关工作，当 OVP 电压降低到 2.575V 以下重新开始工作。

MOS 峰值限流保护功能

当输入电压降低时，电感峰值电流上升，电压越低峰值电流越大，芯片通过设置 CS 电阻来调节电感电流峰值限流点，防止电流过大。

过温保护功能

当芯片结温超过 160°C，会触发过温保护，芯片停止工作，当结温低于 145°C 时，芯片恢复工作。

PCB 设计

在设计 BP2636C PCB 时，需要遵循以下指南：

旁路电容

VDD 的旁路电容需要紧靠芯片 VDD 和 GND 引脚。

FB 引脚

FB 采样电阻需要尽量靠近芯片 FB 引脚，且 FB 节点要远离高压节点和噪声源。

地线

电流采样电阻的功率地线尽可能粗，且要离芯片的 GND 脚尽量近。另外，CS、FB 引脚的电阻到芯片 GND 脚的连线应尽可能短。

CS 引脚

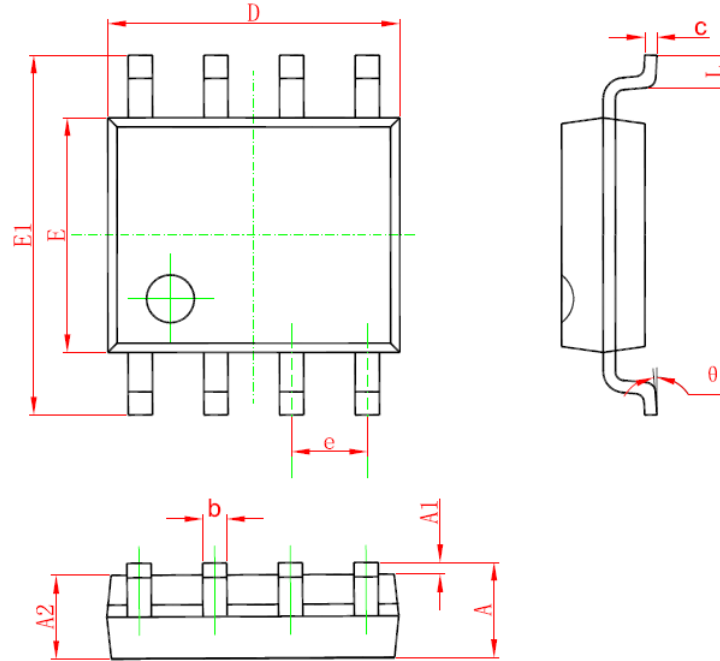
CS 引脚与采样电阻的连线需要尽量短，且靠近芯片，远离高压节点和噪声源。

功率环路的面积

减小功率环路的面积，如功率管、母线电容和续流二极管的环路面积，以减小 EMI 辐射。

封装信息

SOP8 PACKAGE OUTLINE DIMENSIONS



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

重要声明

晶丰明源尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。

本产品规格书未包含任何针对晶丰明源或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，晶丰明源不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性，特定目的的适用性或者不侵犯晶丰明源或任何第三人知识产权做任何明示或暗示保证，晶丰明源也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。